

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月28日
Date of Application:

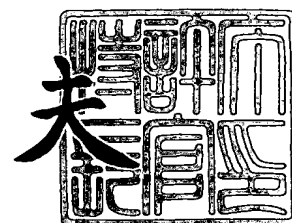
出願番号 特願2002-345214
Application Number:
[ST. 10/C]: [JP 2002-345214]

出願人 シャープ株式会社
Applicant(s):

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3090015



【書類名】 特許願

【整理番号】 02J03618

【提出日】 平成14年11月28日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 丹野 昭一

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【電話番号】 06-6621-1221

【代理人】

 【識別番号】 100103296

 【弁理士】

 【氏名又は名称】 小池 隆彌

 【電話番号】 06-6621-1221

 【連絡先】 電話 0 6 - 6 6 0 6 - 5 4 9 5 知的財産権本部

【選任した代理人】

 【識別番号】 100073667

 【弁理士】

 【氏名又は名称】 木下 雅晴

【手数料の表示】

 【予納台帳番号】 012313

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1



【物件名】 要約書 1
【包括委任状番号】 9703283
【包括委任状番号】 9703284
【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及び行線短絡不良検出方法

【特許請求の範囲】

【請求項 1】 1 ビットまたは複数ビットの情報を記憶可能な不揮発性の半導体メモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数の行線と複数の列線とを配列してなるメモリセルアレイを有する不揮発性半導体記憶装置であって、

前記複数の行線の一部を選択してその他の行線とは異なる電圧レベルを選択的に与える行デコーダ回路に対し、通常動作モードとは異なるテストモード時において、選択された前記行線に対しテスト用電圧を供給するためのテスト用電圧源から流れる電流経路を、選択された前記行線を通る第 1 電流経路と前記行線を通らずに前記行デコーダ回路内を通る第 2 電流経路とに、装置内部において分離するための電流経路分離回路を備えてなることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記テスト用電圧源から前記テスト用電圧の供給を受けるための外部接続用パッドが、前記第 1 電流経路に対するパッドと前記第 2 電流経路に対するパッドとの 2 系統設けてあることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記行デコーダ回路の後段部は、前記行線毎にその選択・非選択状態に応じた所定の電圧を印加するための複数の行線選択回路を備え、個々の前記行線選択回路はドライバ段とそのドライバ段を駆動するプリドライバ段からなり、

前記第 1 電流経路が、前記通常動作モードと前記テストモードを切り替えるモード切替回路を構成する複数のスイッチング素子の内の少なくとも一つと前記ドライバ段のプルアップ素子を介して前記行線を通る電流経路であり、

前記第 2 電流経路が、前記複数のスイッチング素子の他の少なくとも一つを介して前記プリドライバ段を通る電流経路であることを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記不揮発性の半導体メモリセルが MOSFET 構造を有し、その MOSFET 構造に電氣的に情報を書き込み及び消去可能な情報記憶構造を備えていることを特徴とする請求項 1～3 の何れか 1 項に記載の不揮発性半導体記憶装置。

【請求項 5】 1 ビットまたは複数ビットの情報を記憶可能な不揮発性の半導体メモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数の行線と複数の列線とを配列してなるメモリセルアレイを有する不揮発性半導体記憶装置の前記行線の短絡不良を検出する行線短絡不良検出方法において、

前記複数の行線の一部を選択してその他の行線とは異なる電圧レベルを選択的に与える行デコーダ回路に対し、通常動作モードとは異なるテストモード時において、選択された前記行線に対しテスト用電圧を供給するためのテスト用電圧源から流れる電流経路を、選択された前記行線を通る第 1 電流経路と前記行線を通らずに前記行デコーダ回路内を通る第 2 電流経路とに、各別に電流計測可能に分離することを特徴とする行線短絡不良検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1 ビットまたは複数ビットの情報を記憶可能な不揮発性の半導体メモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数の行線と複数の列線とを配列してなるメモリセルアレイを有する不揮発性半導体記憶装置に関し、より具体的には、行線の短絡不良検出機能を有する不揮発性半導体記憶装置、及び、不揮発性半導体記憶装置における行線の短絡不良検出方法に関する。

【0002】

【従来の技術】

近年の半導体集積回路技術の進歩は著しく、不揮発性半導体記憶装置においてもメモリセルの縮小による大容量化が進み、使用するトランジスタや配線等のデザインルールも微細化している。従来の不揮発性半導体記憶装置において、メモ

リセルアレイの欠陥の1つである行線短絡不良をテストする際の測定方法にリーキーロー測定（Leaky Row測定：隣接する行線間でのリークの有無をテストするための測定）がある。

【0003】

以下、図4に例示する従来の行線短絡不良検出機能を有する不揮発性半導体記憶装置に基づいて、リーキーロー測定の概要につき説明する。

【0004】

図4に示すように、不揮発性半導体記憶装置は、メモリセルアレイ1、行デコーダ回路2、列デコーダ回路3、共通ソース線ドライバ4、モード切替回路5、昇圧回路6、テスト用電圧源からテスト用電圧の供給を受けるための外部接続用パッド7を備えている。不揮発性半導体記憶装置は、上記以外にも、一般的な半導体メモリと同様に、アドレス入力回路、データ入出力回路、制御信号用入力回路などの周辺回路を有するが、リーキーロー測定の説明には直接関係ないため図示を省略している。

【0005】

メモリセルアレイ1は、例えば、単体のフローティングゲート型MOSFETで構成されるメモリセルを縦横に配列してアレイ化し、その中から所定のメモリセルまたはメモリセル群を選択するために横方向（行方向）と縦方向（列方向）に夫々複数の行線WLと複数の列線BLとを配列して構成されている。複数の行線WLは、図4中、行線WL0～WL n の $n+1$ 本からなり、横方向（行方向）に各メモリセルトランジスタのコントロールゲートと接続し、所定の電圧を印加できる構成となっている。また、複数の列線BLは、図4中、列線BL0～BL m の $m+1$ 本からなり、縦方向（列方向）に各メモリセルトランジスタのドレインと接続し、メモリセルとのデータ転送（読み出しや書き込み）に供せられる。また、各メモリセルトランジスタのソースは共通化され共通ソース線CSに接続されている。

【0006】

行デコーダ回路2は、複数の行線WL0～WL n の一部を選択してその他の非選択の行線とは異なる電圧レベルを選択的に設定可能に構成され、各行線WL0

～WL_nに行線への駆動電圧を印加するための行線選択回路として行ドライバ0～nが各別に接続され、各行ドライバ0～nには、図示していないアドレス信号に基づき各行線の選択・非選択信号に復号化する行プリデコーダが配置されている。行ドライバ0～nと行プリデコーダが夫々行デコーダ回路2の後段部2aと前段部2bを形成している。

【0007】

代表的な不揮発性半導体記憶装置であるフラッシュメモリ等では、書き込み時等での行線選択時には、例えば、9Vのように高電圧を印加する。このため、不揮発性半導体記憶装置（デバイス）の電源電圧（例えば、3Vや5V）をデバイス内部で昇圧させるための昇圧回路（チャージポンプ回路）6が内蔵されている。そして、行ドライバ i （ $i=0\sim n$ ）は、行線WL i に対し選択時に9Vを、非選択時に0Vを印加するための駆動回路としてのドライバ段（トランジスタMP $i2$ とMN $i2$ からなる）と、アクセスを高速化するため（行線の選択・非選択切替スピードを早めるため）にドライバ段を駆動するプリドライバ段（トランジスタMP $i1$ とMN $i1$ からなる）の2段構成となっている。

【0008】

列デコーダ回路3は、各列線BL $0\sim BLm$ に接続されており、列デコーダ回路3内には書き込み時、消去時に夫々の列線BL $0\sim BLm$ に所定の電圧を印加するドライバと、読み出し時に全てまたは選択された一部の列線の電位を検出するセンスアンプ等が設けられている。また、共通ソース線ドライバ4は、書き込み時、消去時、読み出し時に夫々所定の電圧を共通ソース線CSに印加するドライバで構成されている。

【0009】

モード切替回路5は、行プリデコーダで選択された行ドライバに対し、通常動作モード時に昇圧回路6から出力される電圧を印加するか、テストモード時に外部接続用パッド7から供給されるテスト用電圧源からのテスト用電圧（V_{pp}）を印加するかを切り換える。図4の例では、3種類の2入力1出力タイプの入力選択回路8a～8cで構成される。また、各入力選択回路8a～8cは1対のスイッチング素子で構成され、モード切替信号によって何れか一方の入力端に印加

される電圧を出力端に供給する構成となっており、両入力端に印加される電圧を分圧してその中間電圧を出力端に供給することも可能である。

【0010】

第1の入力選択回路8aは、 V_{pix} 電圧（行ドライバのトランジスタ MP_{i2} のウェル（バックゲート）電圧とトランジスタ MP_{i1} のウェル（バックゲート）電圧とソース電圧）の供給元を通常動作モード時とテストモード時で切り替える回路であり、第2の入力選択回路8bは、 V_{px} 電圧（行ドライバのトランジスタ MP_{i2} のソース電圧）の供給元を通常動作モード時とテストモード時で切り替える回路であり、第3の入力選択回路8cは、 V_{pg} 電圧（トランジスタ MP_{i1} のゲート電圧）を設定するための回路である。第3の入力選択回路8cは、単純に通常動作モード時とテストモード時で電圧の供給元を切り替えるのではなく、通常動作モード時は、両スイッチング素子を導通させて V_{px} 電圧より低電圧の V_{pg} 電圧を抵抗分圧により生成し、プリドライバ段の出力ノード DGi を高電圧9Vに立ち上げるためトランジスタ MP_{i1} をオン状態にして当該トランジスタをプルアップ用抵抗成分として使用する。一方、テストモード時は V_{pg} 電圧を接地電位に固定する。

【0011】

各入力選択回路8a～8cの各スイッチング素子は、通常動作モード時に、 $SW1$ 、 $SW3$ 、 $SW5$ 、 $SW6$ を導通させ、 $SW2$ と $SW4$ を非導通とする。一方、テストモード時は $SW2$ 、 $SW4$ 、 $SW6$ を導通させ、 $SW1$ 、 $SW3$ 、 $SW5$ を非導通とする。

【0012】

隣接する行線間のリーク電流の有無の検出方法について説明する。尚、リーク電流が検出されれば、当該行線間は短絡不良となっている。テストモード時は、共通ソース線 CS 及び各列線 $BL_0 \sim BL_m$ を接地する。そしてモード切替回路5は、上述のように $SW2$ 、 $SW4$ 、 $SW6$ を導通させ、 $SW1$ 、 $SW3$ 、 $SW5$ を非導通とする。図2に示すように、メモリセルアレイの全ての行線 $WL_0 \sim WL_n$ の内、1本の行線を選択して外部接続用パッド7からテスト用電圧 V_{pp} （例えば9V）を印加した際、その外部接続用パッド7を流れる電流（ I_{pp} ）

を測定する。そして、行線を順々に選択しながら、その都度、外部接続用パッド 7 を流れる電流 I_{pp} を測定する。この時、例えば図 4 の行線 WL 0 上のノード A と行線 WL 1 上のノード B の個所で行線間の短絡不良があるとすれば、外部接続用パッド 7 から、スイッチング素子 SW 4、トランジスタ MP 0 2、WL 0、WL 1、トランジスタ MN 1 2 を介して V_{ss} （接地電位）まで電流経路が形成され、リーク電流が流れることになる。従って、電流 I_{pp} を測定することで行線間の短絡不良個所を検出することができる。

【0013】

しかし、選択されている行線に対応する行ドライバ内のプリドライバ段の両トランジスタ MP 0 1、MN 0 1 は何れもオン状態で貫通電流が流れているため、測定した電流 I_{pp} には、当該貫通電流成分がバイアス電流として常時含まれることになる。つまり、行線間の短絡不良の有無に拘わらず常に電流 I_{pp} が検出されるため、その電流値の大小によって、短絡不良の有無を判定する必要があった。そして、当該貫通電流にも製造条件や測定温度等によるバラツキがあるため、判別閾値の設定レベルが高すぎると、微小な短絡不良が検出できず、逆に低すぎると良品を不良と誤判定する可能性が高くなり、測定精度上問題があった。

【0014】

また、テスト時間短縮の為、図 3 に示すように、行線を交互に非選択行線と選択行線となるように選択することで、一度に複数の行線を選択して行うリーキーロー測定の手法もあるが、上記の貫通電流が、選択している行線に対応する複数の行ドライバで発生し、貫通電流が大幅に増大することから、上記測定精度が更に低下することになり、測定制度を維持しながらテスト時間の短縮を図ることが極めて困難であった。

【0015】

他の従来技術として、互いに平行して配列される行線のテスト時において、フローティングさせておいて行線 1 本おきに基準電位とすると共に残りの行線にテスト電圧を印加することで、テスト時間を短縮化する技術があるが（特許文献 1 参照）、これにしても、上記従来技術で説明したようなアクセス高速化を考慮した行ドライバに対しては、上記と同様の測定精度上の問題が残る。

【0016】

【特許文献1】

特開平7-192500号公報

【0017】

【発明が解決しようとする課題】

ところで近年の不揮発性半導体記憶装置では、微細化が進むにつれて半導体製造時の不良欠陥の除去が一層要求されており、更に一度に大量に生産する為にテスト時間短縮も強く要求されており、上記従来技術では測定時の測定誤差が大きくなるため、的確に不良品の選別ができず、更にはテスト時間の短縮も図れないという問題があった。

【0018】

本発明は、上述の問題点に鑑みてなされたものであり、その目的は、上記問題点を解消し、テスト時間の短縮を行っても正確に不良品を選別することのできるリーキーロー測定機能を有する不揮発性半導体記憶装置、及び、不揮発性半導体記憶装置における行線の短絡不良検出方法を提供することにある。

【0019】

【課題を解決するための手段】

この目的を達成するための本発明に係る不揮発性半導体記憶装置の特徴構成は、1ビットまたは複数ビットの情報を記憶可能な不揮発性の半導体メモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数の行線と複数の列線とを配列してなるメモリセルアレイを有し、該複数の行線の一部を選択してその他の行線とは異なる電圧レベルを選択的に与える行デコーダ回路に対し、通常動作モードとは異なるテストモード時において、選択された前記行線に対しテスト用電圧を供給するためのテスト用電圧源から流れる電流経路を、選択された前記行線を通る第1電流経路と前記行線を通らずに行デコーダ回路内を通る第2電流経路とに、装置内部において分離するための電流経路分離回路を備えてなる点にある。

【0020】

上記特徴構成によれば、テストモード時に行デコーダ回路によって選択された一または複数の行線にテスト用電圧を供給した場合に、電流経路分離回路によって、選択された行線を通る短絡電流（隣接する行線との短絡、列線との短絡などによる漏洩電流）が第1電流経路を通り、行線を通らずに例えば行デコーダ回路の動作上行デコーダ回路内を通る直流電流成分は第2電流経路を通り、行線の短絡電流と行デコーダ回路の直流電流成分が完全に分離されるため、第1電流経路上に電流計を設ければ、行線の短絡電流のみを第2電流経路を通る電流成分と分離して精度良く独立して測定できる。

【0021】

この結果、選択する行線の本数を増やしてテスト時間の短縮を図る場合に、第2電流経路を通る電流成分が測定されないので、測定精度を維持したままテスト時間の短縮を図ることができる。

【0022】

更に、上記特徴構成に加えて、テスト用電圧源からテスト用電圧の供給を受けるための外部接続用パッドが、第1電流経路に対するパッドと第2電流経路に対するパッドとの2系統設けてあるのも好ましい。

【0023】

この特徴構成によれば、テスト用電圧源から2系統のパッドを経由して各別に独立してテスト用電圧を供給でき、テスト精度の向上が図れるとともに、テスト時間短縮のために一度に選択する行線の本数を増やす場合において行ドライバ回路内を通る直流成分がそれに比例して増加しても、当該増加した電流分を外部のテスト用電圧源で賄うことができ、安定した行線短絡電流の測定が可能となる。

【0024】

更に、上記各特徴構成に加えて、行デコーダ回路の後段部が、行線毎にその選択・非選択状態に応じた所定の電圧を印加するための複数の行線選択回路を備え、個々の行線選択回路がドライバ段とそのドライバ段を駆動するプリドライバ段からなり、第1電流経路が、通常動作モードとテストモードを切り替えるモード切替回路を構成する複数のスイッチング素子の内の少なくとも一つとドライバ段

のプルアップ素子を介して行線を通る電流経路であり、第2電流経路が、当該複数のスイッチング素子の他の少なくとも一つを介してプリドライバ段を通る電流経路であるのも好ましい。

【0025】

かかる特徴構成によれば、選択された行線に対応する行線選択回路において、回路動作上プリドライバ段に電流成分が存在しても、行線を通る第1電流経路と分離されるので、行線の短絡電流のみを精度よく検出できる。また、テスト時間短縮のために一度に選択する行線の本数を増やす場合においてプリドライバ段を通る電流成分がそれに比例して増加しても、当該増加した電流分の影響を受けずに短絡電流のみを精度よく検出できるので、測定精度を維持しながらテスト時間の短縮が図れる。

【0026】

更に、上記各特徴構成に加えて、不揮発性の半導体メモリセルがMOSFET構造を有し、そのMOSFET構造に電氣的に情報を書き込み及び消去可能な情報記憶構造を備えているのも好ましい。この場合、大容量の不揮発性半導体記憶装置として一般に普及しているフラッシュメモリ等の1トランジスタ型でメモリセルサイズの小さいデバイスに対しても、本発明が効果的に適用できるため、当該大容量の不揮発性半導体記憶装置に対しても行線短絡不良を短時間で精度良くテストできる。

【0027】

上記目的を達成するための本発明に係る不揮発性半導体記憶装置における行線の短絡不良検出方法の特徴は、1ビットまたは複数ビットの情報を記憶可能な不揮発性の半導体メモリセルを行方向及び列方向に夫々複数配列し、その中から所定のメモリセルまたはメモリセル群を選択するために行方向と列方向に夫々複数の行線と複数の列線とを配列してなるメモリセルアレイを有する不揮発性半導体記憶装置において、複数の行線の一部を選択してその他の行線とは異なる電圧レベルを選択的に与える行デコード回路に対し、通常動作モードとは異なるテストモード時において、選択された行線に対しテスト用電圧を供給するためのテスト用電圧源から通る電流経路を、選択された行線を通る第1電流経路と行線を

流れずに行デコード回路内を流れる第 2 電流経路とに、各別に電流計測可能に分離する点にある。

【0 0 2 8】

上記特徴によれば、テストモード時に行デコード回路によって選択された一または複数の行線にテスト用電圧を供給した場合に、選択された行線を流れる短絡電流（隣接する行線との短絡、列線との短絡などによる漏洩電流）が第 1 電流経路を通り、行線を流れずに例えば行デコード回路の動作上行デコード回路内を流れる直流電流成分は第 2 電流経路を通り、各別に電流計測可能に分離されるため、第 1 電流経路上に電流計を設ければ、行線の短絡電流のみを第 2 電流経路を流れる電流成分と分離して独立して精度良く測定できる。

【0 0 2 9】

この結果、選択する行線の本数を増やしてテスト時間の短縮を図る場合に、第 2 電流経路を流れる電流成分が測定されないので、測定精度を維持したままテスト時間の短縮を図ることができる。

【0 0 3 0】

【発明の実施の形態】

本発明に係る不揮発性半導体記憶装置（以下、適宜「本発明装置」という。）及び不揮発性半導体記憶装置の行線の短絡不良を検出する行線短絡不良検出方法の実施の形態につき、図面に基づいて説明する。尚、従来技術の不揮発性半導体記憶装置と重複する部分については、図面上同じ符号を付して説明する。

【0 0 3 1】

図 1 に示すように、本発明に係る不揮発性半導体記憶装置 1 0 は、メモリセルアレイ 1、行デコード回路 2、列デコード回路 3、共通ソース線ドライバ 4、モード切替回路 5、昇圧回路 6、テスト用電圧源からテスト用電圧の供給を受けるための 2 つの外部接続用パッド 7 a, 7 b を備えている。本発明装置 1 0 は、上記以外にも、一般的な半導体メモリと同様に、アドレス入力回路、データ入出力回路、制御信号用入力回路などの周辺回路を有するが、本発明の対象とする行線短絡不良（リーキーロー測定）の説明には直接関係ないため図示を省略している。

【0032】

メモリセルアレイ 1 は、例えば、フローティングゲート型の 1MOSFET で構成されるメモリセル M_{ij} ($i = 0 \sim n$, $j = 0 \sim m$) を縦横に配列してアレイ化し、その中から所定のメモリセルまたはメモリセル群を選択するために横方向（行方向）と縦方向（列方向）に夫々複数の行線 WL と複数の列線 BL とを配列して構成されている。複数の行線 WL は、図 1 中、行線 $WL_0 \sim WL_n$ の $n+1$ 本からなり、横方向（行方向）に各メモリセルトランジスタのコントロールゲートと接続し、所定の電圧を印加できる構成となっている。また、複数の列線 BL は、図 1 中、列線 $BL_0 \sim BL_m$ の $m+1$ 本からなり、縦方向（列方向）に各メモリセルトランジスタのドレインと接続し、メモリセルとのデータ転送（読み出しや書き込み）に供せられる。また、各メモリセルトランジスタのソースは共通化され共通ソース線 CS に接続されている。

【0033】

メモリセルの構造より、本実施形態における不揮発性半導体記憶装置 10 としては、フラッシュメモリや電氣的書き込み消去可能な EEPROM 等が想定される。尚、メモリセルアレイ 1 は、1 デバイス内に複数のブロックに分割して設けられているのが一般的であり、図 1 に例示の実施形態では、その 1 ブロックが図示されている。

【0034】

行デコーダ回路 2 は、複数の行線 $WL_0 \sim WL_n$ の一部を選択してその他の非選択の行線とは異なる電圧レベルを選択的に設定可能に構成され、各行線 $WL_0 \sim WL_n$ に行線への駆動電圧を印加するための行線選択回路として行ドライバ $0 \sim n$ が各別に接続され、各行ドライバ $0 \sim n$ には、図示していないアドレス信号に基づき各行線の選択・非選択信号に復号化する行プリデコーダが配置されている。行ドライバ $0 \sim n$ と行プリデコーダが夫々行デコーダ回路 2 の後段部 2a と前段部 2b を形成している。

【0035】

代表的な不揮発性半導体記憶装置であるフラッシュメモリ等では、書き込み時等での行線選択時には、例えば、9V のように高電圧を印加する。このため、不

揮発性半導体記憶装置（デバイス）の電源電圧（例えば、3 Vや5 V）をデバイス内部で昇圧させるための昇圧回路（チャージポンプ回路）6が内蔵されている。昇圧回路6は、通常動作モードの読み出し、書き込み、消去の各動作時、及び、テストモード時において、その出力電圧を切り替え可能に構成されている。

【0036】

そして、各行ドライバ i （ $i = 0 \sim n$ ）は、行線 WL_i に対し選択時に9 Vを、非選択時に0 Vを印加するための駆動回路としてのドライバ段（トランジスタ MP_{i2} と MN_{i2} からなる）と、アクセスを高速化するため（行線を選択・非選択切替スピードを早めるため）にドライバ段を駆動するプリドライバ段（トランジスタ MP_{i1} と MN_{i1} からなる）の2段構成となっている。尚、 MP_{i1} と MP_{i2} はP型MOSFETで MN_{i1} と MN_{i2} はN型MOSFETである。

【0037】

列デコーダ回路3は、各列線 $BL_0 \sim BL_m$ に接続されており、列デコーダ回路3内には書き込み時、消去時に夫々の列線 $BL_0 \sim BL_m$ に所定の電圧を印加するドライバと、読み出し時に全てまたは選択された一部の列線の電位を検出するセンスアンプ等が設けられている。また、共通ソース線ドライバ4は、書き込み時、消去時、読み出し時に夫々所定の電圧を共通ソース線 CS に印加するドライバで構成されている。

【0038】

以上、メモリセルアレイ1、行デコーダ回路2、列デコーダ回路3、共通ソース線ドライバ4、及び、昇圧回路6については、従来技術の説明した構成と同様である。

【0039】

通常動作モードとテストモードを切り替えるモード切替回路5は、行プリデコーダ2bで選択された行ドライバ2aに対し、通常動作モード時に昇圧回路6から出力される電圧を印加するか、テストモード時に外部接続用パッド7a, 7bから供給されるテスト用電圧源からのテスト用電圧（ V_{pp} と V_{pb} ）を印加するかを切り換える。本実施形態では、3種類の2入力1出力タイプの入力選択回

路 9 a ~ 9 c で構成される。また、各入力選択回路 9 a ~ 9 c は 1 対のスイッチング素子で構成され、モード切替信号によって何れか一方の入力端に印加にされる電圧を出力端に供給する構成となっており、両入力端に印加される電圧を分圧してその中間電圧を出力端に供給することも可能である。

【0040】

第 1 の入力選択回路 9 a は、 V_{pix} 電圧（ドライバ段のトランジスタ MP_{i2} のウェル（バックゲート）電圧とプリドライバ段のトランジスタ MP_{i1} のウェル（バックゲート）電圧とソース電圧）の供給元を通常動作モード時とテストモード時で切り替える回路であり、第 2 の入力選択回路 9 b は、 V_{px} 電圧（ドライバ段のトランジスタ MP_{i2} のソース電圧）の供給元を通常動作モード時とテストモード時で切り替える回路であり、第 3 の入力選択回路 9 c は、 V_{pg} 電圧（プリドライバ段のトランジスタ MP_{i1} のゲート電圧）を設定するための回路である。

【0041】

より詳細には、図 1 に示すように、第 1 の入力選択回路 9 a は、2 つの入力端が、第 2 の入力選択回路 9 b の出力端（ V_{px} 電圧）と外部接続用パッド 7 a のテスト電圧 V_{pp} に夫々接続し、何れか一方の電圧を V_{pix} 電圧とする。また、第 2 の入力選択回路 9 b は、2 つの入力端が、昇圧回路 6 の出力と外部接続用パッド 7 b のテスト電圧 V_{pb} に夫々接続し、何れか一方の電圧を V_{px} 電圧とする。第 3 の入力選択回路 9 c は、2 つの入力端が、第 2 の入力選択回路 9 b の出力端（ V_{px} 電圧）と接地電位（ V_{ss} ）に接続している。ただし、第 3 の入力選択回路 9 c は、単純に通常動作モード時とテストモード時で電圧の供給元を切り替えるのではなく、通常動作モード時は、両スイッチング素子を導通させて V_{px} 電圧より低電圧の V_{pg} 電圧を抵抗分圧により生成し、プリドライバ段の出力ノード DGi を高電圧 9 V に立ち上げるためトランジスタ MP_{i1} をオン状態にして当該トランジスタをプルアップ用抵抗成分として使用する。一方、テストモード時は V_{pg} 電圧を接地電位に固定する。

【0042】

各入力選択回路 9 a ~ 9 c の各スイッチング素子は、通常動作モード時に、S

W1、SW4、SW5、SW6を導通させ、SW2とSW3を非導通とする。一方、テストモード時はSW2、SW3、SW6を導通させ、SW1、SW4、SW5を非導通とする。これにより、通常動作モード時には、 V_{pix} 電圧と V_{px} 電圧には、昇圧回路6が発生する読み出し時、書き込み時、消去時に応じた所定の電圧が供給される。これに対し、テストモード時には、 V_{pix} 電圧として外部接続用パッド7aからテスト電圧 V_{pp} が、 V_{px} 電圧として外部接続用パッド7bからテスト電圧 V_{pb} が供給され、 V_{pg} 電圧が接地電位 (V_{ss}) に固定される。テストモード時は、SW5を非導通とすることで、 V_{px} 電圧から接地電位までの第3の入力選択回路9c経由の直流電流経路が遮断されるので、 V_{px} 電圧から接地電位間で直流電流経路が形成されたとすると、行線を経由した電流経路（第1電流経路）となる。

【0043】

隣接する行線間のリーク電流の有無の検出方法について説明する。尚、リーク電流が検出されれば、当該行線間は短絡不良となっている。テストモード時は、共通ソース線CS及び各列線BL0～BLmを接地する。そしてモード切替回路5は、上述のようにSW2、SW3、SW6を導通させ、SW1、SW4、SW5を非導通とする。

【0044】

図2に示すように、メモリセルアレイの全ての行線WL0～WLnの内、1本の行線を選択して外部接続用パッド7aからテスト用電圧 V_{pp} （例えば9V）を、外部接続用パッド7bからテスト用電圧 V_{pb} （例えば9V）を、夫々印加すると、 V_{pix} 電圧としてテスト電圧 V_{pp} が、 V_{px} 電圧としてテスト電圧 V_{pb} が供給される。

【0045】

ここで選択された行線を例えばWL0と仮定して説明すると（図2に相当）、選択行線の行デコーダ0について行プリデコーダ2bから選択信号がプリドライバ段のトランジスタMN01をオンし、ドライバ段のゲート電圧DG0を V_{ss} レベルにして、上記 V_{px} 電圧（9V）を行線WL0に供給する。

【0046】

行線WL 0以外の行線は非選択なので行プリデコーダ2 bから選択信号が出ない(V_{ss} レベル)ので各行デコーダ内のトランジスタMN 1 1~MN n 1がオンしない為、上記 V_{pix} 電圧(9 V)がプリドライバ段のトランジスタMP 1 1~MP n 1を通して、夫々のドライバ段のゲートDG 1~DG nに印加され、各行線WL 1~WL nを V_{ss} レベルにする。尚、全てのプリドライバ段のP型トランジスタMP 0 1~MP n 1のゲートに印加される電圧は V_{pg} 電圧(V_{ss} レベル)となっている。

【0047】

ここで、図1に示すように、選択された行線WL 0上のノードAと隣接する行線WL 1のノードB間において行線間の短絡不良があったと仮定して以下説明する。

【0048】

外部接続用パッド7 bから行線WL 0に供給している V_{px} 電圧(=テスト用電圧 V_{pb})は上記経路(外部接続用パッド7 b—スイッチング素子SW 3—トランジスタMP 0 2)で行線WL 0に印加され、行線間短絡箇所ノードA、Bを介して行線WL 1に印加される。ここで、行線WL 1は非選択の為、 V_{ss} が印加(トランジスタMN 1 2がオン)されていることから、隣接する行線に短絡箇所があると、外部接続用パッド7 bから V_{ss} に向かって短絡電流 I_{pb} が流れることになる。一方、行線間に短絡がなければ当該短絡電流 I_{pb} は流れないことになる。この短絡電流 I_{pb} をモニターすることで行線短絡不良をテストすることができる。この電流経路が第1電流経路となる。

【0049】

一方、選択されている行線WL 0の行デコーダ0のプリドライバ段では、トランジスタMP 0 1とトランジスタMN 0 1が両方共オンしている為、直流の貫通電流が流れている。

【0050】

しかし、トランジスタMP 0 1のソース電圧である V_{pix} 電圧は、行線に V_{px} 電圧(=テスト用電圧 V_{pb})を供給している外部接続用パッド7 bとは別の外部接続用パッド7 aから供給されるテスト用電圧 V_{pp} であるので、この貫

通電流の電流経路は、上記行線に流れている電流経路（第1電流経路）とは分離された第2電流経路となるので、第1電流経路で検出される電流成分から当該か通電流成分を分離して、行線短絡箇所を流れる正味のリーク電流を正確に測定することが可能になる。この結果、製造条件やテスト時の周囲温度等による貫通電流の変動に左右されず、高精度に行線間のリーク電流の検出が可能となる。

【0051】

ここで、テストモード時には、行線短絡不良によるリーク電流経路である第1電流経路と、行線流れずに行デコーダ回路（本実施形態では、その後段部の行選択回路）内を流れる第2電流経路とが、外部接続用パッド7a, 7bからモード切替回路5を構成する入力選択回路9a, 9bによって完全に分離されていることから、モード切替回路5、特に入力選択回路9a, 9bが、第1電流経路と第2電流経路とを分離する電流経路分離回路として機能している。

【0052】

また、リーキーローテストは、図3に示すように、複数の行線を選択して測定する場合がある。測定の性質上、互いに隣接しない行線を選択し、残りの行線をVssレベルにして行う。即ち、図示するように、例えば奇数番目の行線を選択し、偶数番目の行線を非選択にした場合、奇数番目の行線からの短絡不良（リーク電流）がない場合は、偶奇を反転させて、引き続き残りの偶数番目の行線を選択して同様の測定を行う。行線間の短絡不良であれば偶奇を反転させる必要はないが、行線から例えば列線等の行線以外への短絡不良を同時に検出するためには、最終的に全ての行線を一度は選択することになる。

【0053】

この測定ではデバイス全体に流れる電流は行線1本だけを選択する場合より多くなるので、一つの短絡不良のリーク電流が相対的に小さくなるためより正確な測定が要求されるが、本発明のように行線選択回路のプリドライバ段のトランジスタがオン状態となって貫通電流が発生していても上記第1電流経路とは別経路（第2電流経路）で電流が流れるため、正確にリーク電流の有無を検出できることから、上記実施方法のような複数の行線を選択するテスト方法を行う事で、テスト時間の短縮を実現できる。

【 0 0 5 4 】

以下に、別の実施形態につき説明する。

【 0 0 5 5 】

上記実施の形態では不揮発性半導体記憶装置としてフラッシュメモリや電氣的書き込み消去可能な E E P R O M 等が想定して説明したが、不揮発性半導体記憶装置はこれらに限らず、あらゆるタイプの不揮発性半導体記憶装置に本発明を適用することができる。

【 0 0 5 6 】

特に、各行線への駆動電圧を印加するための行線選択回路においてテストモード時に回路動作上直流電流経路が生じる場合や、行線選択回路において複数の電圧レベルを取り扱う場合には、不揮発性半導体記憶装置に限らずあらゆる半導体記憶装置に対して本発明は有効である。

【 0 0 5 7 】

上記実施の形態では、図 1 に例示した行線選択回路においてテストモード時に回路動作上直流電流経路（第 2 電流経路）が生じる場合につき説明したが、第 2 電流経路が、行線選択回路とは別の回路で形成される場合や、行線選択回路とともに別の回路でも形成される場合についても、同様に扱うことができる。また、行線選択回路は、図 1 に例示したものに限定されるものではない。

【 0 0 5 8 】

電流経路分離回路として機能するモード切替回路 5 の回路構成は、必ずしも上記実施の形態の回路構成に限定されるものではない。

【 0 0 5 9 】

上記実施の形態では、通常動作モードの読み出し、書き込み、消去の各動作時に、全て昇圧回路 6 から電源供給される場合を想定したが、昇圧回路 6 を、読み出し、書き込み、消去の一部の動作にのみ使用し、その他の動作時には、直接電源端子から電源供給を受けるか、別の昇圧回路を使用する形態であっても構わない。

【 0 0 6 0 】

上記実施の形態では、外部接続用パッド 7 a , 7 b はテストモード時に使用する

るテスト用パッドとしていたが、通常動作モード時に使用する入力パッドや入出力パッド等と兼用する形態であっても構わない。

【0061】

本発明に係る行線の短絡不良を検出する行線短絡不良検出方法は、ウェハ段階でのテストか、アセンブリ後のパッケージ段階でのテストかは、特に問わず、何れの段階のテストであっても構わない。

【0062】

【発明の効果】

以上、本発明によれば、テストモード時に行デコーダ回路2によって選択された一または複数の行線にテスト用電圧を供給した場合に、電流経路分離回路によって、選択された行線を通る短絡電流（隣接する行線との短絡、列線との短絡などによる漏洩電流）が第1電流経路を通り、行線を通らずに例えば行デコーダ回路2の動作上行デコーダ回路内を通る直流電流成分は第2電流経路を通り、行線の短絡電流と行デコーダ回路の直流電流成分が完全に分離されるため、行線の短絡電流のみを第2電流経路を通る電流成分と分離して精度良く独立して測定できる。この結果、選択する行線の本数を増やしてテスト時間の短縮を図る場合に、第2電流経路を通る電流成分が測定されないため、測定精度を維持したままテスト時間の短縮を図ることができる。

【図面の簡単な説明】

【図1】

本発明に係る不揮発性半導体記憶装置の一実施の形態を示す回路ブロック図である。

【図2】

不揮発性半導体記憶装置のテストモード時におけるメモリセルアレイの行線の選択状態の一例を示す説明図である。

【図3】

不揮発性半導体記憶装置のテストモード時におけるメモリセルアレイの行線の選択状態の他の一例を示す説明図である。

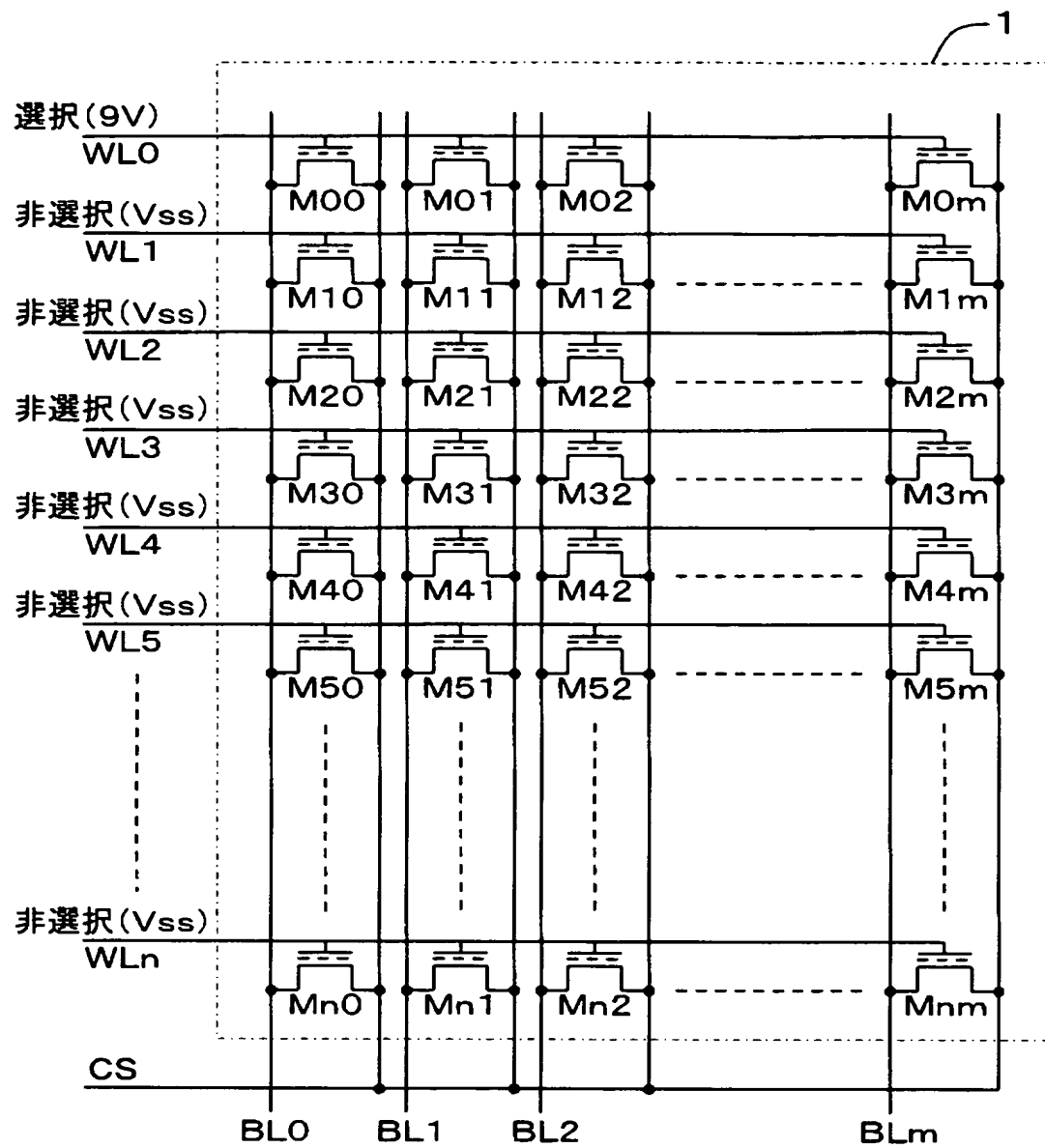
【図4】

従来の不揮発性半導体記憶装置の一実施の形態を示す回路ブロック図である。

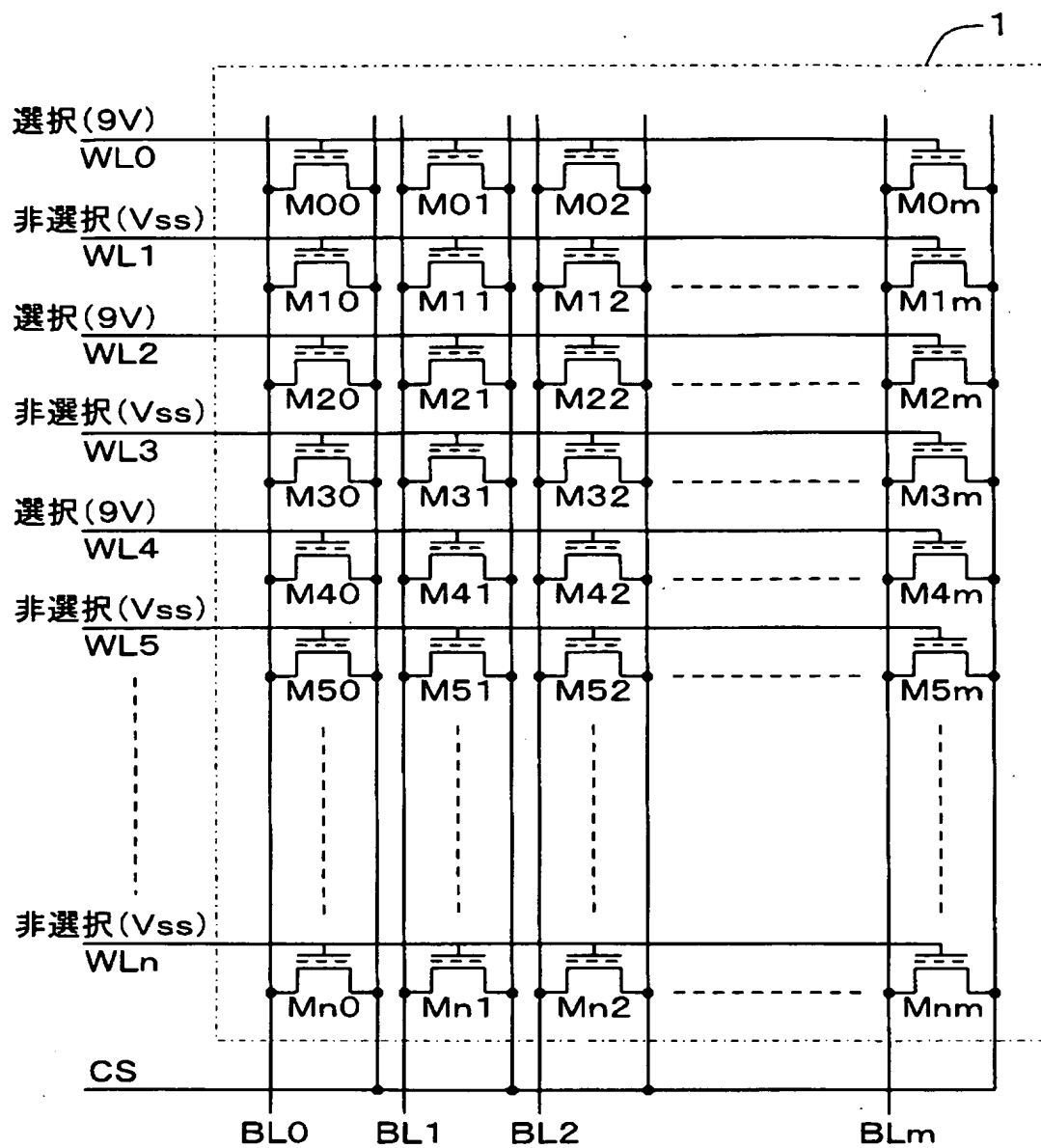
【符号の説明】

- 1 : メモリセルアレイ
- 2 : 行デコード回路
- 2 a : 行デコード回路後段部
- 2 b : 行デコード回路前段部
- 3 : 列デコード回路
- 4 : 共通ソース線ドライバ
- 5 : モード切替回路
- 6 : 昇圧回路
- 7 a , 7 b : 外部接続用パッド
- 9 a ~ 9 c : 入力選択回路
- 1 0 : 不揮発性半導体記憶装置
- W L 0 ~ W L n : 行線
- B L 0 ~ B L m : 列線
- S W 1 ~ S W 6 : スイッチング素子

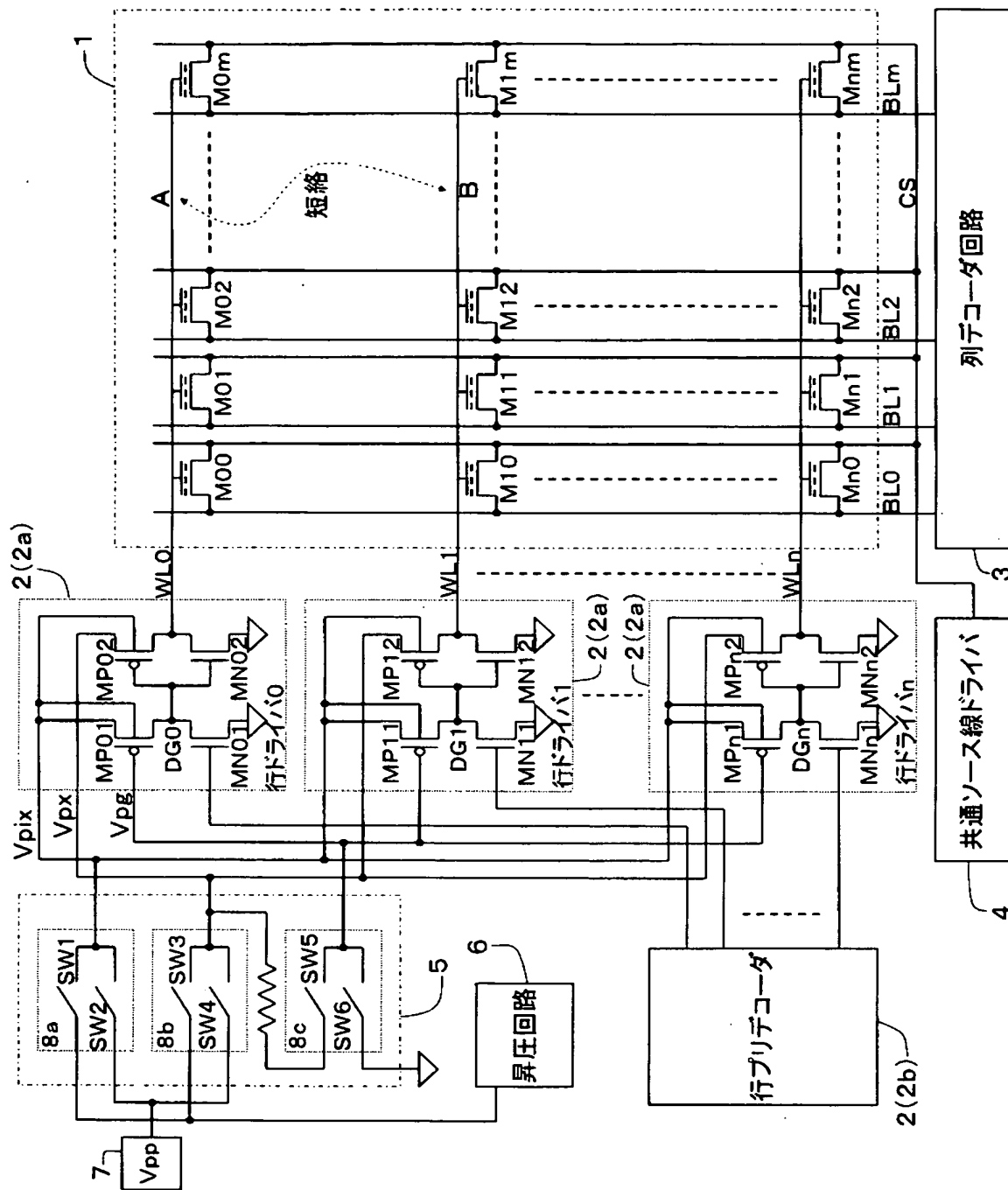
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 テスト時間の短縮を行っても正確に不良品を選別することのできるリーキーロー測定機能を有する不揮発性半導体記憶装置を提供する。

【解決手段】 メモリセルアレイ 1 の複数の行線の一部を選択してその他の行線とは異なる電圧レベルを選択的に与える行デコーダ回路 2 に対し、通常動作モードとは異なるテストモード時において、選択された行線に対しテスト用電圧を供給するためのテスト用電圧源から流れる電流経路を、選択された行線を通る第 1 電流経路と行線を通らずに行デコーダ回路 2 内を通る第 2 電流経路とに、装置内部において分離するための電流経路分離回路を備え、テスト用電圧源からテスト用電圧の供給を受けるための外部接続用パッド 7 a, 7 b として、第 1 電流経路に対するパッド 7 b と第 2 電流経路に対するパッド 7 a の 2 系統を設ける。

【選択図】 図 1

特願 2 0 0 2 - 3 4 5 2 1 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社